

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177119

(43)Date of publication of application : 24.06.1994

(51)Int.CI.

H01L 21/314

H01L 21/302

H01L 21/316

H01L 21/31

(21)Application number : 04-330260

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.12.1992

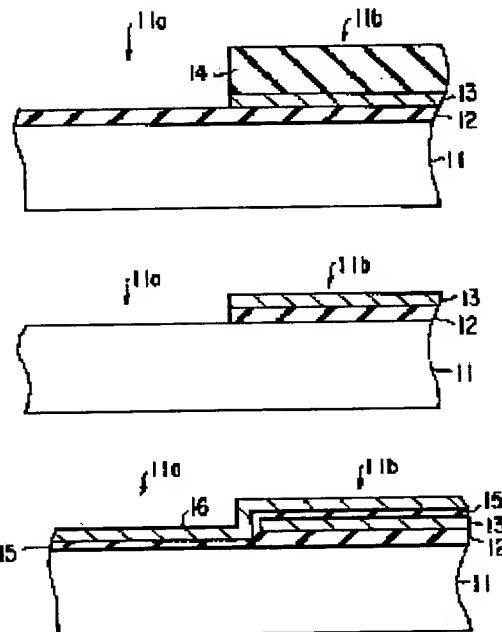
(72)Inventor : MATSUKAWA HISAHIRO

(54) FABRICATION OF SEMICONDUCTOR DEVICE**(57)Abstract:**

PURPOSE: To deposite high quality oxides with different thicknesses on a semiconductor substrate by depositing a second oxide having thickness different from that of a first oxide, a second conductive layer, and a second mask layer on the semiconductor substrate and the first semiconductor layer and then etching the second oxide.

CONSTITUTION: First oxide 12 is deposited by about 200Å on the surface of a P-type silicon substrate 11 and a first polysilicon layer 13 is deposited thereon. A first resist layer 14 is provided thereon and the first polysilicon layer 13 is etched using the first resist layer 14 as a mask.

Subsequently, the first resist layer 14 is removed and the first oxide 12 is etched using the first polysilicon layer 13 as a mask thus exposing the surface of the P-type silicon substrate 11. Thereafter, a second oxide 15 is deposited by about 100Å on the P-type silicon substrate 11 and the first polysilicon layer 13.

**LEGAL STATUS**

[Date of request for examination] 13.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3093496

[Date of registration] 28.07.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-177119

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/314	A 7352-4M			
21/302	N 9277-4M			
21/316	M 7352-4M			
21/31	9274-4M		H 01 L 21/ 94	Z
			審査請求 未請求 請求項の数 3(全 7 頁)	

(21)出願番号 特願平4-330260

(22)出願日 平成4年(1992)12月10日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 松川 尚弘

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

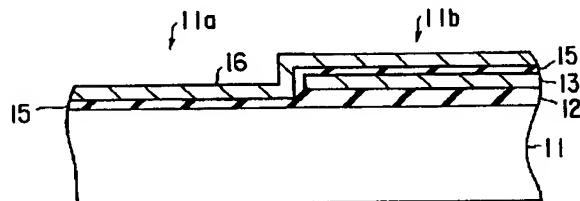
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】この発明は、半導体基板の上に膜質が良く厚さが異なる酸化膜を形成する。

【構成】P型シリコン基板11の表面上に厚さが200 オングストローム程度の第1の酸化膜12を形成し、この酸化膜12の上に第1の多結晶シリコン層13を堆積し、この多結晶シリコン層13の上に第1のレジスト膜を設け、この第1のレジスト膜をマスクとして第1の多結晶シリコン層13をエッチングする。次に、前記第1のレジスト膜を除去し、第1の多結晶シリコン層13をマスクとして、第1の酸化膜12をエッチングすることにより、P型シリコン基板11の表面を露出させる。次に、前記P型シリコン基板11および第1の多結晶シリコン層13の上に厚さが100 オングストローム程度の第2の酸化膜15を形成している。従って、半導体基板の上に膜質の良い異なる厚さの酸化膜を形成できる。



【特許請求の範囲】

【請求項1】 半導体基板の表面上に第1の酸化膜を設ける工程と、

前記第1の酸化膜の上に第1の導電層を設ける工程と、前記第1の導電層の上に第1のマスク膜を設け、この第1のマスク膜をマスクとして前記第1の導電層をエッチングする工程と、

前記第1のマスク膜を除去する工程と、

前記第1の導電層をマスクとして前記第1の酸化膜をエッチングすることにより、前記半導体基板を露出させる工程と、

前記半導体基板および前記第1の導電層の上に、前記第1の酸化膜と厚さが異なる第2の酸化膜を設ける工程と、

前記第2の酸化膜の上に第2の導電層を設ける工程と、前記第2の導電層の上に第2のマスク膜を設け、この第2のマスク膜をマスクとして前記第2の導電層をエッチングする工程と、

前記第2のマスク膜を除去する工程と、

前記第2の導電層をマスクとして前記第2の酸化膜をエッチングする工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板の表面上に第1の酸化膜を設ける工程と、

前記第1の酸化膜の上に第1の導電層を設ける工程と、前記第1の導電層の上に素子形成領域の一部を覆う第1のマスク膜を設け、この第1のマスク膜をマスクとして前記第1の導電層をエッチングする工程と、

前記第1のマスク膜を除去する工程と、

前記第1の導電層をマスクとして前記第1の酸化膜をエッチングすることにより、前記半導体基板を露出させる工程と、

前記半導体基板および前記第1の導電層の上に、前記第1の酸化膜と厚さが異なる第2の酸化膜を設ける工程と、

前記第2の酸化膜の上に第2の導電層を設ける工程と、前記第2の導電層の上に第2のマスク膜を設け、この第2のマスク膜をマスクとして前記第2の導電層をエッチングする工程と、

前記第2のマスク膜を除去する工程と、

前記第2の導電層をマスクとして前記第2の酸化膜をエッチングする工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項3】 前記第2のマスク膜は素子形成領域において第1の導電層の一部を覆っていることを特徴とする請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体基板の上に厚さが異なる酸化膜を有する半導体装置の製造方法に関する

る。

【0002】

【従来の技術】 従来の半導体装置の製造方法について、以下に説明する。

【0003】 シリコン基板には第1および第2の領域が形成されている。前記シリコン基板の表面上には第1の酸化膜が設けられ、この第1の酸化膜の上にはレジスト膜が設けられる。このレジスト膜をマスクとして写真蝕刻法により第1の領域の第1の酸化膜がエッチングされる。これにより、前記シリコン基板の表面が露出される。次に、前記レジスト膜は除去され、前記第1の領域のシリコン基板の上には第1の酸化膜と厚さが異なる第2の酸化膜が設けられる。この後、前記第1および第2の領域にはMOSFETのゲート電極、ソース・ドレイン領域の拡散層が形成される。

【0004】

【発明が解決しようとする課題】 ところで、上記従来の半導体装置の製造方法では、第1の酸化膜の上にレジスト膜を設け、このレジスト膜をマスクとして第1の酸化膜をエッチングすることにより、前記シリコン基板の表面を露出させている。この際、前記レジスト膜に含まれる不純物が前記第1の酸化膜および露出させたシリコン基板それぞれに付着する。このため、前記シリコン基板の上に設けられた第1および第2の酸化膜それぞれの膜質を悪くするという問題があった。

【0005】 この発明は上記のような事情を考慮してなされたものであり、その目的は、半導体基板の上に膜質が良く厚さが異なる酸化膜を形成した半導体装置の製造方法を提供することにある。

【0006】

【課題を解決するための手段】 この発明は、上記課題を解決するため、半導体基板の表面上に第1の酸化膜を設ける工程と、前記第1の酸化膜の上に第1の導電層を設ける工程と、前記第1の導電層の上に第1のマスク膜を設け、この第1のマスク膜をマスクとして前記第1の導電層をエッチングする工程と、前記第1のマスク膜を除去する工程と、前記第1の導電層をマスクとして前記第1の酸化膜をエッチングすることにより、前記半導体基板を露出させる工程と、前記半導体基板および前記第1の導電層の上に、前記第1の酸化膜と厚さが異なる第2の酸化膜を設ける工程と、前記第2の酸化膜の上に第2の導電層を設ける工程と、前記第2の導電層の上に第2のマスク膜を設け、この第2のマスク膜をマスクとして前記第2の導電層をエッチングする工程と、前記第2のマスク膜を除去する工程と、前記第2の導電層をマスクとして前記第2の酸化膜をエッチングする工程とを具備することを特徴としている。

【0007】 また、半導体基板の表面上に第1の酸化膜を設ける工程と、前記第1の酸化膜の上に第1の導電層を設ける工程と、前記第1の導電層の上に素子形成領域

の一部を覆う第1のマスク膜を設け、この第1のマスク膜をマスクとして前記第1の導電層をエッチングする工程と、前記第1のマスク膜を除去する工程と、前記第1の導電層をマスクとして前記第1の酸化膜をエッチングすることにより、前記半導体基板を露出させる工程と、前記半導体基板および前記第1の導電層の上に、前記第1の酸化膜と厚さが異なる第2の酸化膜を設ける工程と、前記第2の酸化膜の上に第2の導電層を設ける工程と、前記第2の導電層の上に第2のマスク膜を設け、この第2のマスク膜をマスクとして前記第2の導電層をエッチングする工程と、前記第2のマスク膜を除去する工程と、前記第2の導電層をマスクとして前記第2の酸化膜をエッチングする工程とを具備することを特徴としている。また、前記第2のマスク膜は素子形成領域において第1の導電層の一部を覆っていることを特徴としている。

【0008】

【作用】この発明は、半導体基板の表面上に第1の酸化膜を設け、この第1の酸化膜の上に第1の導電層を設け、この第1の導電層の上に第1のマスク膜を設けている。このため、前記第1のマスク膜に含まれる不純物が前記第1の酸化膜に付着することがない。次に、前記第1のマスク膜をマスクとして前記第1の導電層をエッチングし、前記第1のマスク膜を除去し、前記第1の導電層をマスクとして前記第1の酸化膜をエッチングすることにより、前記半導体基板を露出させている。このため、前記第1のマスク膜の不純物が前記半導体基板に付着することがない。この後、前記半導体基板および前記第1の導電層の上に第2の酸化膜を設けている。したがって、前記不純物により前記第1および第2の酸化膜の膜質を悪くすることがない。

【0009】

【実施例】以下、図面を参照してこの発明を実施例により説明する。

【0010】図1乃至図6は、この発明の第1の実施例による半導体装置の製造方法を示すものであり、半導体基板の表面上に厚さが異なる酸化膜を形成する工程を示す断面図である。P型シリコン基板11には第1および第2の領域11a、11bから構成されている素子形成領域が形成されている。前記P型シリコン基板11の表面上には例えば熱酸化により厚さが200オングストローム程度の第1の酸化膜12が形成され、この第1の酸化膜12の上には例えば気相成長法により厚さが300オングストローム程度の第1の多結晶シリコン層13が堆積される。この多結晶シリコン層13の上には第1のレジスト膜14が設けられ、このレジスト膜14をマスクとして写真蝕刻法により第1の多結晶シリコン層13はR I E (Reactive Ion Etching)でエッチングされる。これにより、第1の領域11aの第1の酸化膜12は露出される。

【0011】次に、図2に示すように、前記第1のレジスト膜14は除去される。この後、前記第1の多結晶シリコン層13をマスクとして、第1の酸化膜12は図示せぬ弗化アンモニウム液によりエッチングされる。これにより、第1の領域11aのP型シリコン基板11の表面が露出される。

【0012】この後、図3に示すように、前記P型シリコン基板11および第1の多結晶シリコン層13の上には例えば熱酸化により厚さが100オングストローム程度の第2の酸化膜15が形成される。この第2の酸化膜15の上には気相成長法により厚さが300オングストローム程度の第2の多結晶シリコン層16が堆積される。

【0013】次に、図4に示すように、前記第2の多結晶シリコン層16の上には図示せぬ第2のレジスト膜が第1の多結晶シリコン層13の一部を覆うように設けられる。この第2のレジスト膜をマスクとして第2の多結晶シリコン層16は写真蝕刻法によりR I Eでエッチングされる。これにより、第2の領域11bの第2の酸化膜15は露出される。この後、前記第2のレジスト膜は除去される。次に、前記第2の多結晶シリコン層16をマスクとして、第2の酸化膜15は弗化アンモニウム液によりエッチングされる。これにより、前記第2の領域11bの第1の多結晶シリコン層13は露出される。この際、前記第1および第2の領域11a、11bの境界においては、第1の酸化膜12、第1の多結晶シリコン層13、第2の酸化膜15および第2の多結晶シリコン層16が積層されている。

【0014】この後、図5に示すように、前記第1および第2の多結晶シリコン層13、16の上には例えば気相成長法により厚さが3000オングストローム程度の第3の多結晶シリコン層17が堆積される。次に、前記第1乃至第3の多結晶シリコン層13、16、17には気相拡散法により燐が拡散される。

【0015】次に、図6に示すように、第1乃至第3の多結晶シリコン層13、16、17は写真蝕刻法によりパターニングされ、MOSFETの第1および第2のゲート電極18、19が形成される。この後、前記ゲート電極18、19をマスクとしてイオン注入されることにより、前記P型シリコン基板11には図示せぬソース・ドレイン領域の拡散層が形成される。

【0016】上記第1の実施例によれば、P型シリコン基板11の表面上に第1の酸化膜12を形成し、この第1の酸化膜12の上に第1の多結晶シリコン層13を堆積させ、この多結晶シリコン層13の上に第1のレジスト膜14を設けている。即ち、前記第1の酸化膜12の上に第1のレジスト膜14を直接設けていないため、この第1のレジスト膜14に含まれる不純物が第1の酸化膜12に付着することがない。次に、第1のレジスト膜14をマスクとして写真蝕刻法により第1の多結晶シリ

コン層13をエッチングする。この後、前記レジスト膜14を除去し、第1の多結晶シリコン層13をマスクとして、第1の酸化膜12をエッチングすることにより、P型シリコン基板11の表面を露出させている。このため、前記第1のレジスト膜14の不純物がP型シリコン基板11に付着することがない。次に、前記P型シリコン基板11および第1の多結晶シリコン層13の上に厚さが100オングストローム程度の第2の酸化膜15を形成し、この酸化膜15の上に第2の多結晶シリコン層16を堆積させ、この多結晶シリコン層16の上に図示せぬ第2のレジスト膜を設けている。このため、前記第2のレジスト膜に含まれる不純物が第1の酸化膜15に付着することができない。この結果、前記レジスト膜14の不純物による第1および第2の酸化膜12、15における膜質の悪化を防止することができる。したがって、P型シリコン基板11の上に膜質が良く厚さが異なる酸化膜12、15を形成することができる。

【0017】また、第1乃至第3の多結晶シリコン層13、16、17に気相拡散法により燐を拡散させていく。この際、第1および第2の領域11a、11bの境界において、第1の酸化膜12、第1の多結晶シリコン層13、第2の酸化膜15および第2の多結晶シリコン層16を積層しているため、前記燐がP型シリコン基板11に到達することができない。

【0018】尚、上記第1の実施例では、素子形成領域に第1および第2の領域11a、11bの境界を形成しているが、素子分離領域に第1および第2の領域11a、11bの境界を形成することも可能であり、この場合、前記境界において、第1の酸化膜12、第1の多結晶シリコン層13、第2の酸化膜15および第2の多結晶シリコン層16を積層しなくても良い。

【0019】また、第1の酸化膜12の上に第1の多結晶シリコン層13を設け、第2の酸化膜15の上に第2の多結晶シリコン層16を設けているが、第1の酸化膜12の上に第1のMoシリサイド層を設け、第2の酸化膜15の上に第2のMoシリサイド層を設けることも可能であり、第1の酸化膜12の上に燐をドープさせながら成長させた第1の多結晶シリコン層を設け、第2の酸化膜15の上に燐をドープさせながら成長させた第2の多結晶シリコン層を設けることも可能であり、これらの場合、第1および第2の領域11a、11bの境界において、第1の酸化膜12、第1のMoシリサイド層又は多結晶シリコン層、第2の酸化膜15および第2のMoシリサイド層又は多結晶シリコン層を積層しなくても良い。また、第1および第2の領域11a、11bの境界は、拡散層にあることも可能である。

【0020】図1乃至図5および図7、図8は、この発明の第2の実施例による半導体装置の製造方法を示すものであり、2種類のトランジスタを隣接して配置したNAND型EEPROMに応用した例を示すものである。

第2の実施例において、第1の実施例と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0021】図5に示すように、第1および第2の多結晶シリコン層13、16の上には第3の多結晶シリコン層17が堆積される。次に、第1乃至第3の多結晶シリコン層13、16、17には気相拡散法により燐が拡散される。

【0022】この後、図7に示すように、前記第3の多結晶シリコン層17の上には厚さが150オングストローム程度の酸化膜、厚さが150オングストローム程度の窒化膜および厚さが50オングストローム程度の酸化膜の3層から構成されたONO膜22が形成される。このONO膜22の上には厚さが3000オングストローム程度の第4の多結晶シリコン層23が堆積される。次に、この多結晶シリコン層23には気相拡散法により燐が拡散される。

【0023】次に、図8に示すように、前記多結晶シリコン層23の上には写真蝕刻法により図示せぬ第3のレジスト膜が設けられる。この第3のレジスト膜をマスクとして第4の多結晶シリコン層23、ONO膜22、第3の多結晶シリコン層17、第1、第2の多結晶シリコン層13、16はRIEにより順にエッチングされる。これにより、酸化膜の薄い領域である第1の領域11aには第1および第2のメモリセル24a、24bが形成され、酸化膜の厚い領域である第2の領域11bには選択ゲート25が形成される。したがって、第2の領域11bにおいては第1のトランジスタ26が形成され、第1の領域11aにおいては第2および第3のトランジスタ27、28が形成される。上記第2の実施例においても第1の実施例と同様の効果を得ることができる。

【0024】また、素子形成領域において、P型シリコン基板11の上に厚さが異なる酸化膜12、15を設けている。このため、第1の酸化膜15をゲート酸化膜とする第1のトランジスタ26と第2の酸化膜12をゲート酸化膜とする第2のトランジスタ27とを隣接して形成することができる。この結果、半導体装置の集積度を向上させることができる。

【0025】尚、上記第2の実施例では、第2の多結晶シリコン層16の上に第2のレジスト膜を第1の多結晶シリコン層13の一部を覆うように設けているが、第2の多結晶シリコン層16の上に第1の多結晶シリコン層13を覆わない第2のレジスト膜を設けることも可能である。この場合は、前記第2のレジスト膜をマスクとして第2の酸化膜15がエッチングされることにより、第1および第2の領域11a、11bの境界においてP型シリコン基板11が露出される。この後、第3の多結晶シリコン層17に燐を導入すると、この燐が前記露出されたP型シリコン基板11にしみだすが、前記境界にトランジスタを形成していないため、このしみだした燐は特に問題とはならない。

【0026】図9は、この発明の第3の実施例による半導体装置の製造方法を示すものであり、2種類のトランジスタを並列に連続して配置した4層のマスクROMに応用した例を示す平面図である。図5は、図9に示す5-5線に沿った断面図である。第3の実施例において、第1の実施例と同一部分には同一符号を付し、異なる部分についてのみ説明する。

【0027】図5に示すように、第1および第2の多結晶シリコン層13、16の上には第3の多結晶シリコン層17が設けられる。次に、第1乃至第3の多結晶シリコン層13、16、17には気相拡散法により燐が拡散される。これにより、前記第1乃至第3の多結晶シリコン層13、16、17から構成された図9に示すゲート電極33が形成される。このゲート電極33の中央には境界30が形成されている。この境界30から第1の矢印31a側はP型シリコン基板上の酸化膜が薄い領域であり、前記境界30から第2の矢印31b側はP型シリコン基板上の酸化膜が厚い領域である。

【0028】この後、前記ゲート電極33の両側における図示せぬP型シリコン基板にはソース・ドレイン領域の拡散層32、34が形成される。したがって、前記酸化膜の薄い領域には第1のトランジスタ35が形成され、前記酸化膜の厚い領域には第2のトランジスタ36が形成される。上記第3の実施例においても第1の実施例と同様の効果を得ることができる。

【0029】また、素子形成領域において、P型シリコン基板11の上に厚さが異なる酸化膜12、15を設けている。このため、第2の酸化膜15をゲート酸化膜とする第1のトランジスタ35と第1の酸化膜12をゲート酸化膜とする第2のトランジスタ36とを連続して形成することができる。この結果、半導体装置の集積度を向上させることができる。

【0030】尚、上記第3の実施例では、第2の多結晶シリコン層16の上に第2のレジスト膜を第1の多結晶シリコン層13の一部を覆うように設けている。これは、第2の多結晶シリコン層16の上に第1の多結晶シリコン層13の一部を覆わない第2のレジスト膜を設けると、前記第2のレジスト膜をマスクとして第2の酸化膜15がエッチングされた際、前記境界30においてP型シリコン基板11が露出され、この露出されたP型シリコン基板11に燐がしみだすことにより、セルのしきい値を変化させてしまうからである。

【0031】

【発明の効果】以上説明したようにこの発明によれば、第1の導電層の上に第1のマスク膜を設け、この第1の

マスク膜をマスクとして前記第1の導電層をエッチングし、前記第1のマスク膜を除去し、前記第1の導電層をマスクとして前記第1の酸化膜をエッチングしている。したがって、半導体基板の上に膜質が良く厚さが異なる酸化膜を形成することができる。

【図面の簡単な説明】

【図1】この発明の第1および第2の実施例による半導体装置の製造方法を示す断面図。

【図2】この発明の第1および第2の実施例による半導体装置の製造方法を示すものであり、図1の次の工程を示す断面図。

【図3】この発明の第1および第2の実施例による半導体装置の製造方法を示すものであり、図2の次の工程を示す断面図。

【図4】この発明の第1および第2の実施例による半導体装置の製造方法を示すものであり、図3の次の工程を示す断面図。

【図5】この発明の第1および第2の実施例による半導体装置の製造方法を示すものであり、図4の次の工程を示す断面図。

【図6】この発明の第1の実施例による半導体装置の製造方法を示すものであり、図5の次の工程を示す断面図。

【図7】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図5の次の工程を示す断面図。

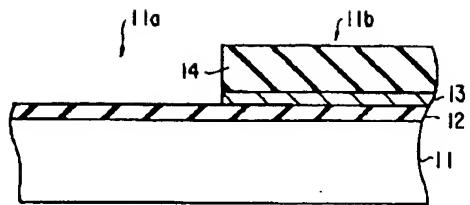
【図8】この発明の第2の実施例による半導体装置の製造方法を示すものであり、図7の次の工程を示す断面図。

【図9】この発明の第3の実施例による半導体装置の製造方法を示す平面図。

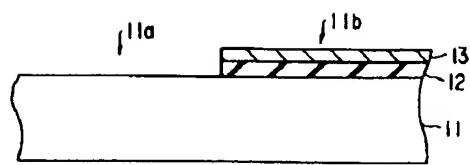
【符号の説明】

11…P型シリコン基板、11a…第1の領域、11b…第2の領域、12…第1の酸化膜、13…第1の多結晶シリコン層、14…第1のレジスト膜、15…第2の酸化膜、16…第2の多結晶シリコン層、17…第3の多結晶シリコン層、18…第1のゲート電極、19…第2のゲート電極、22…ONO膜、24a…第4の多結晶シリコン層、…第1のメモリセル、24b…第2のメモリセル2、25…選択ゲート、26…第1のトランジスタ、27…第2のトランジスタ、28…第3のトランジスタ、30…境界、31a…第1の矢印、31b…第2の矢印、32…ソース領域の拡散層、33…ゲート電極、34…ドレイン領域の拡散層、35…第1のトランジスタ、36…第2のトランジスタ

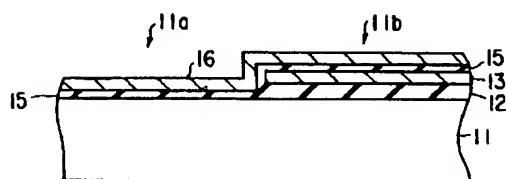
【図1】



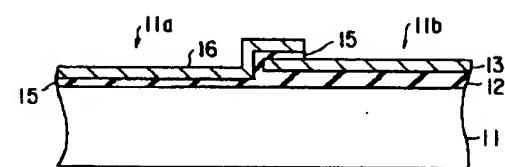
【図2】



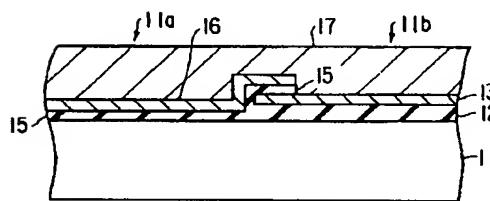
【図3】



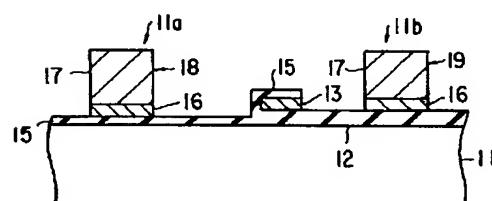
【図4】



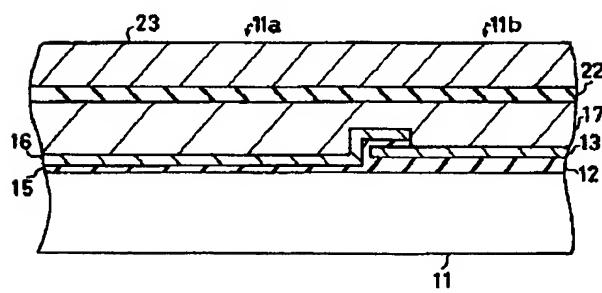
【図5】



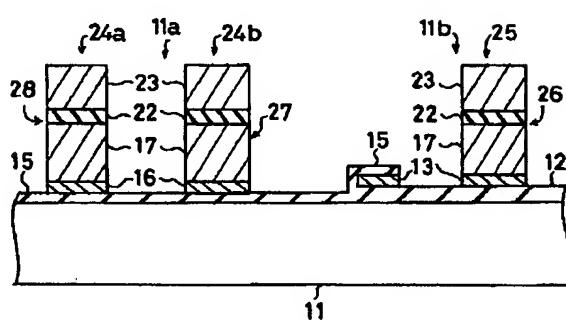
【図6】



【図7】



【図8】



【図9】

